

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214836

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H04N 5/335

H04N 5/225

(21)Application number : 08-021082

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 07.02.1996

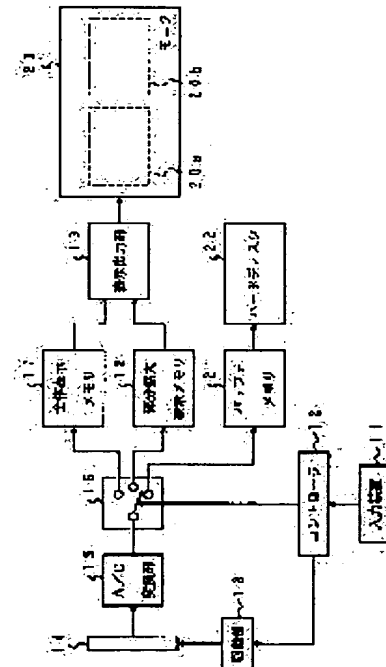
(72)Inventor : KAKINUMA MINORU

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate adjustment of view angle and focusing before image pickup by providing a specific image pickup element, a specific drive section, 1st and 2nd memories and a display output section.

SOLUTION: An image pickup element 14 reads data of a prescribed picture element among all picture elements. A drive section 13 controls driving of the image pickup element 14 selectively in the block mode to scan picture elements in a prescribed block among all the picture elements of the image pickup element 14 or in the skip mode to scan all the picture elements interleaved for specific picture elements at processing interleave rate. An entire display memory 17 stores data read in the skip mode from the image pickup element 14. A partial magnification display memory 18 stores data read in the block mode from the image pickup element 14. A display output section 19 converts the data stored in the memories 17, 18 into data so as to be displayed as separate images on one monitor and outputs the resulting data.



(11)特許出願公開番号

特開平9-214836

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/335		H 0 4 N 5/335	E
	5/225		5/225	Z

審査請求 未請求 請求項の数 3 O.L (全 17 頁)

(21)出願番号 特願平8-21082

(22)出願日 平成8年(1996)2月7日

(71)出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 柿沼 実

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

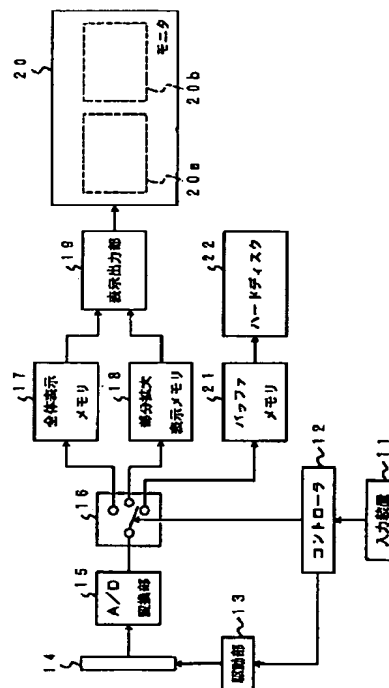
(74)代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】 撮影前の画角合わせやピント合わせをより容易に行えるようにする。

【解決手段】 本発明の撮像装置は、光電変換面に形成された全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子１４と、上記撮像素子１４における全画素のうち、所定のブロック内の画素を走査するためのブロックモードと全画素について所定の間引き率で特定の画素を間引いて走査するためのスキップモードとを切り換えて上記撮像素子１４を駆動制御することが可能な駆動部１３と、上記撮像素子１４からスキップモードで読み出されたデータを記憶する全体表示メモリ１７と、上記撮像素子１４からブロックモードで読み出されたデータを記憶する部分拡大表示メモリ１８と、上記第１および第２のメモリ１７、１８に記憶された各データの一つのモニタ上で別々の画像として表示可能な如くデータ変換して出力する表示出力部１９と、を備えたものとなっている。



【特許請求の範囲】

【請求項 1】光電変換面に形成された全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子と、上記撮像素子における全画素のうち、所定のブロック内の画素を走査するためのブロックモードと全画素について所定の間引き率で特定画素を間引いて走査するためのスキップモードとを切り換えて上記撮像素子を駆動制御することが可能な駆動部と、上記撮像素子からスキップモードで読み出されたデータを記憶する第 1 のメモリと、上記撮像素子からブロックモードで読み出されたデータを記憶する第 2 のメモリと、上記第 1 および第 2 のメモリに記憶された各データを一つのモニタ上で別々の画像として表示可能な如くデータ変換して出力する表示出力部と、を備えたことを特徴とする撮像装置。

【請求項 2】光電変換面に形成された全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子と、上記撮像素子における全画素のうち、所定のブロック内の画素を走査するためのブロックモードと全画素について所定の間引き率で特定画素を間引いて走査するためのスキップモードとを切り換えて上記撮像素子を駆動制御することが可能な駆動部と、上記撮像素子からスキップモードで読み出されたデータを記憶する第 1 のメモリと、上記撮像素子からブロックモードで読み出されたデータを記憶する第 2 のメモリと、上記第 1 および第 2 のメモリに記憶された各データを一つのモニタ上で別々の画像として表示可能な如くデータ変換して出力する表示出力部と、上記表示出力部から出力された各データを全体表示の画像および部分拡大表示の画像として表示することが可能な表示手段とを備え、上記撮像素子の駆動を所定の画面数ごとに切り換える制御を行ない、上記全体表示と部分拡大表示とを動画像表示するようになされたことを特徴とする撮像装置。

【請求項 3】上記二つの画像の各繰り返し周期が変化するように、上記撮像素子の駆動を切り換える際の画面数の比率を変更する手段を備えていることを特徴とする請求項 1 又は 2 記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、被写体をモニタ画面上でモニタリングすることが可能な撮像装置に関する。

【0002】

【従来の技術】従来の高精細撮像装置は、撮像素子をランダムアクセスし撮像素子中の任意の画素を読み出し可能な構成となっていない。このため、撮影前において被写体に対する画角合わせを行なうに際し、画素を所定の

間引き率で間引いた全体表示が行なえるように、全画素分のデータを記憶している全画素メモリから間引き読み出しを行い、これを NTSC (National Television System Committee) モニタに送り込み、全体表示するものとなっている。また、撮影前において被写体に対するピント合わせを行なうに際し、所定ブロック範囲の画素を間引かずに部分拡大表示が行えるように、上記全画素メモリからブロック読み出しを行い、これを NTSC モニタに送り込み、部分拡大表示するものとなっている。

10 【0003】図 10 は従来の撮像装置の一例を示すブロック図である。図 10 に示すように、コントローラ 701 は、動画像の全画素表示、部分拡大表示、静止画像記録の切り換えを行えるように、後述のスイッチ 705 及びスイッチ 710 を切り換え制御等を行なうものである。駆動部 702 は、CCD (Charge Coupled Device) 撮像素子 703 を駆動する。CCD 撮像素子 703 は、駆動されることにより外部 (被写体) から入射する光に基づき、露光、光電変換、信号 (アナログ画像信号) の読み出し等を行なう。この結果、CCD 撮像素子 703 からアナログ画像信号が出力される。A/D 変換部 704 は、上記 CCD 撮像素子 703 からのアナログ画像信号をディジタル画像データに変換する。

【0004】スイッチ 705 は、コントローラ 701 によって切り替え制御され、A/D 変換部 704 からのディジタル画像データを全画素メモリ 706 又はバッファメモリ 713 に送る。全画素メモリ 706 は、A/D 変換部 704 からの画像データを記憶する。

30 【0005】メモリ読出部 707 は、間引き読出回路 708 およびブロック読出回路 709 を備えている。間引き読出回路 708 は、全画素メモリ 706 に記憶された画像データから間引き読み出しを行ない、間引きデータを生成する。ブロック読出回路 709 は、全画素メモリ 706 に記憶された画像データから所定ブロック範囲について画素を間引かずに読み出し、ブロックデータを生成する。

【0006】スイッチ 710 は、コントローラ 701 によって切り替え制御され、全画素メモリ 706 に記憶された画像データを間引き読出回路 708 又はブロック読出回路 709 に送る。

40 【0007】表示出力部 711 は、上記メモリ読出部 707 により全画素メモリ 706 から読み出された間引きデータ又はブロックデータを標準テレビジョン信号に変換し、モニタ 712 に出力する。モニタ 712 は、被写体のモニタリング用として使用され、撮影前において被写体の画角合わせやピント合わせを行なう際に使用される。モニタ 712 の画面 712a 上には、前記間引きデータに基づく全体表示又は部分拡大表示がなされる。

【0008】バッファメモリ 713 は、A/D 変換部 704 から送られてくる画像データを一時的に記憶する。ハードディスク 714 は、バッファメモリ 713 から送

られてくる画像データを保管する。このハードディスク 714 は、撮影（画像記録）を行なう際に使用される。

【0009】図 10 の構成の撮像装置においては、全体表示と部分拡大表示のいずれかをモニタ上で見ることはできるが、全体表示と部分拡大表示との両方を同時に見ることはできないという不都合がある。

【0010】図 11 は、従来の撮像装置の他の構成例を示すブロック図である。この撮像装置は、前述の撮像装置（図 10）における全画素メモリ 706、表示出力部 711 及びモニタ 712 をそれぞれ 2 台ずつ設け、二つの全画素メモリ 706 に間引き読出回路 708 とブロック読出回路 709 とを別々に接続したものとなっている。かくして一方のモニタ 712 の画面 712b に全体表示を行ない、他方のモニタ 712 の画面 712c に部分拡大表示を行なうものとなっている。

【0011】

【発明が解決しようとする課題】上述した従来の装置では、被写体の全体表示および部分拡大表示を行なうために、全画素メモリ 706 に全画素分のデータを一旦記憶させておき、この全画素メモリ 706 から必要に応じて間引き読み出しやブロック読み出しが行われる。このため、全画素メモリ 706 に画像データが記憶されてから読み出されるまでにかなりの時間を要することになる。例えば、全画素数が 2000 画素×2000 画素の CCD 撮像素子を 10MHz の駆動周波数で駆動して読み出す場合、1 画面分の画像データの読み出しに 0.4 秒かかる。これは NTSC 方式による繰り返し周期が 0.033 秒であることを考えると、かなり長い時間が費やされることを意味する。したがって、繰り返し周期の長い動画しか得られず、撮影前の画角合わせやピント合わせの使い勝手が悪くなる。NTSC 方式による場合と同じ 0.033 秒の繰り返し周期を実現するためには、駆動周波数を 120MHz にする必要がある。このようにした場合には、回路構成が複雑化する上、高価な部品を採用しなければならない。また、全画素分のデータを格納できるように全画素メモリ 706 の容量を定める必要があるため、大型化する難点がある。

【0012】図 10 の構成の撮像装置においては、全体表示と部分拡大表示のいずれかをモニタ上で見ることはできるが、全体表示と部分拡大表示との両方を同時に見ることはできないという不都合がある。また、図 11 の構成の装置においては二つのモニタ 712 によって全体表示と部分拡大表示の両方を同時に見ることはできるが、全画素メモリ 706、表示出力部 711 およびモニタ 712 を 2 台ずつ用意する必要がある。このため、撮像装置全体の構成が複雑となり、製造コストが高くなる。

【0013】本発明の目的は下記の撮像装置を提供することにある。

(a) 撮影前の画角合わせやピント合わせのための画像表

示を迅速かつ的確に行なうことが可能な撮像装置。

(b) 一つのモニタ上において繰り返し周期の短い全体表示の画像と部分拡大表示の画像とを同時に見ることが可能な撮像装置。

(c) 装置全体の構成が簡潔で製造コストが低い撮像装置。

【0014】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明は以下に示す手段を用いている。

(1) 本発明の撮像装置は、光電変換面に形成された全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子と、上記撮像素子における全画素のうち、所定のブロック内の画素を走査するためのブロックモードと全画素について所定の間引き率で特定画素を間引いて走査するためのスキップモードとを切り換えて上記撮像素子を駆動制御することが可能な駆動部と、上記撮像素子からスキップモードで読み出されたデータを記憶する第 1 のメモリと、上記撮像素子からブロックモードで読み出されたデータを記憶する第 2 のメモリと、上記第 1 および第 2 のメモリに記憶された各データを一つのモニタ上で別々の画像として表示可能な如くデータ変換して出力する表示出力部と、を備えたものとなっている。

【0015】(2) 本発明の撮像装置は、光電変換面に形成された全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子と、上記撮像素子における全画素のうち、所定のブロック内の画素を走査するためのブロックモードと全画素について所定の間引き率で特定画素を間引いて走査するためのスキップモードとを切り換えて上記撮像素子を駆動制御することが可能な駆動部と、上記撮像素子からスキップモードで読み出されたデータを記憶する第 1 のメモリと、上記撮像素子からブロックモードで読み出されたデータを記憶する第 2 のメモリと、上記第 1 および第 2 のメモリに記憶された各データを一つのモニタ上で別々の画像として表示可能な如くデータ変換して出力する表示出力部と、上記表示出力部から出力された各データを全体表示の画像および部分拡大表示の画像として表示することが可能な表示手段とを備え、上記撮像素子の駆動を所定の画面数ごとに切り換える制御を行ない、上記全体表示と部分拡大表示とを動画像表示するようになされたものとなっている。

【0016】(3) 本発明の撮像装置は、上記 (1) 又は (2) に記載した撮像装置であって、かつ、上記二つの画像の各繰り返し周期が変化するように、上記撮像素子の駆動を切り換える際の画面数の比率を変更する手段を備えたものとなっている。

【0017】

【発明の実施の形態】

(第 1 実施形態) 図 1 は本発明の第 1 実施形態に係る撮像装置の構成を示すブロック図である。図 1 に示す入力

装置 11 は、操作者が本撮像装置に対して各種の指示を与えるために使用されるものであり、パーソナルコンピュータ等で構成されている。この入力装置 11 上で、操作者は図示しないマウス等を用い、ディスプレイ上で各種の設定や命令を行えるようになっている。例えば、本撮像装置に対してスタートアップやシャットダウンを指示したり、後述する CMD (Charged Modulation Device) 撮像素子 14 の駆動モードの設定や切り換えを指示したりできるようになっている。また、スキップ走査に関する間引き数の設定変更や、ブロック走査に関するブロックサイズや位置の設定変更（被写体に対する焦点位置の変更）等も行えるようになっている。

【0018】コントローラ 12 は、この撮像装置全体の制御を行なうものであり、例えばマイクロコンピュータ等で構成されている。このコントローラ 12 には図示しない ROM (Read Only Memory) 等が内蔵されており、この ROM には上記シーケンシャル制御の手順を定義する各種のプログラムが格納されている。コントローラ 12 は、入力装置 11 からの各種の指示に応じるとともに、シーケンシャル制御を行なう必要があれば上記 ROM に格納されている各種プログラムのうち、所定のプログラムを実行する。

【0019】コントローラ 12 は、撮影のための処理を行なうように入力装置 11 から指示を受けた場合、CMD 撮像素子 14 から全画素走査で画像データを送り出して 1 画面分の画像データをハードディスク 22 に保管させるように処理する。すなわち、この場合のコントローラ 12 は、CMD 撮像素子 14 を全画素モードで駆動すべきことを示す駆動モード信号を駆動部 13 に送るとともに、A/D 変換部 15 を介して送られてくる画像データがバッファメモリ 21 に送られるようにスイッチ 16 を制御する。なお全画素モードは、全画素を走査するためのモードである。

【0020】一方、コントローラ 12 は、撮影前のモニタリングのための処理（画角合わせやピント合わせのための処理）を行なうように入力装置 11 から指示を受けた場合、CMD 撮像素子 14 からスキップ走査による画像データおよびブロック走査による画像データを交互に送り出してモニタ 20 上の画面 20a および画面 20b にそれぞれを表示させるように処理する。すなわち、この場合のコントローラ 12 は、CMD 撮像素子 14 をスキップモードで駆動すべきことを示す駆動モード信号およびブロックモードで駆動すべきことを示す駆動モード信号を交互に駆動部 13 に送るとともに、A/D 変換部 15 を介して送られてくる画像データが、全体表示メモリ 17 および部分拡大表示メモリ 18 に交互に送られるようにスイッチ 16 を制御する。なお、スキップモードは、画素を間引いて走査するための駆動モードである。一方、ブロックモードは、一部の（所定範囲の）画素を間引かず走査するための駆動モードである。

【0021】また、コントローラ 12 は、CMD 撮像素子 14 を駆動する際に、全体表示メモリ 17、部分拡大表示メモリ 18、表示出力部 19 等の各々に対して処理のタイミングをとるための同期信号を送る。

【0022】駆動部 13 は、コントローラ 12 により指定された駆動モードで CMD 撮像素子 14 を駆動する。すなわち、駆動部 13 は、コントローラ 12 から送られる駆動モード信号に応じ、その駆動モード信号に示される駆動モードに対応したタイミングパルスが発生して CMD 撮像素子 14 に与える。これにより、CMD 撮像素子 14 は上記タイミングパルスにより駆動されることになる。

【0023】CMD 撮像素子 14 は、外部（被写体）から入射されてくる光に基づき、露光、光電変換、信号（アナログ画像信号）の読み出しを行なう。なお、本実施形態で使用される CMD 撮像素子 14 は、例えばその駆動周波数が 10MHz、全画素数が 2000 画素×2000 画素となっている。また、CMD 撮像素子 14 は、ランダムアクセス可能な撮像素子であり、駆動部 13 によりアクセスされるようになっている。この場合、CMD 撮像素子 14 は、ブロックモード、スキップモード、全画素モードのうちいずれかの駆動モードで駆動される。

【0024】A/D 変換部 15 は、上記 CMD 撮像素子 14 から読み出されたアナログ画像信号をデジタル画像データに変換する。この変換により生成された画像データは、スイッチ 16 を介して全体表示メモリ 17、部分拡大表示メモリ 18 及びバッファメモリ 21 のいずれかに送られる。

【0025】スイッチ 16 は、コントローラ 12 によって切り替え制御され、画像データの送出先が決定されるようになっている。全体表示メモリ 17 は、例えば 500 画素×500 画素分の記憶容量を備えており、送られてくるスキップ走査による画像データを一時的に記憶する。部分拡大表示メモリ 18 も、例えば 500 画素×500 画素分の記憶容量を備えており、送られてくるブロック走査による画像データを一時的に記憶する。上記全体表示メモリ 17 および部分拡大表示メモリ 18 に記憶された画像データは、水平 1 ライン分ごとに交互に読み出されて表示出力部 19 に送られるようになっている。

【0026】表示出力部 19 は、上記全体表示メモリ 17 および部分拡大表示メモリ 18 から交互に送られてくる画像データを標準テレビジョン信号に変換し、これらを動画像としてモニタ 20 の表示画面上に映出する。すなわち、表示出力部 19 は、全体表示メモリ 17 内の水平 1 ライン分の画像データをモニタ 20 上の水平 1 ライン分の左半分（画面 20a 内）に画像として映出し、部分拡大表示メモリ 18 内の水平 1 ライン分の画像データをモニタ 20 上の水平 1 ライン分の右半分（画面 20b 内）に画像として映出する。表示出力部 19 は、上記の

処理を繰り返すことにより全体表示の動画像および部分拡大表示の動画像を同一のモニタ20上に映出する。

【0027】モニタ20は、全体表示の画面20aおよび部分拡大表示の画面20bを通して被写体のモニタリングが行えるようになっており、撮影前に被写体について画角合わせやピント合わせを行なう際に使用される。なお、このモニタ20は、例えばNTSC方式に準拠している。また、モニタ20は、例えばCRTディスプレイ、液晶ディスプレイ、プラズマディスプレイ、EL(Electronic Luminescence)ディスプレイ等を用いて構成されており、本装置に内蔵される内蔵タイプのものであっても外部接続されるタイプのものであっても構わない。

【0028】バッファメモリ21は、A/D変換部15から送られてくる全画素走査による画像データを一時的に記憶する。このバッファメモリ21からは、ハードディスク22の記録速度に合わせて画像データが送り出される。ハードディスク22は、バッファメモリ21から送られてくる画像データを保管する。このハードディスク22は、撮影(画像記録)を行なう際に使用される。

【0029】なお、本撮像装置による撮影においては、図5の(a)に示すデータ列のように全画素走査による画像データ(全画素データ)がCMD撮像素子14より出力される。一方、撮影前のモニタリングのための処理においては、図5の(b)に示すデータ列のように、スキップ走査による画像データ(間引きデータ)とブロック走査による画像データ(ブロックデータ)とが交互に出力される。

【0030】「CMD撮像素子の説明」図2は、CMD撮像素子14の構成を示す回路構成図である。このCMD撮像素子14は、2次元アレイ状に配列されたCMDからなる画素201を主体として構成されている。画素群201のうち、列方向に配列された画素201に対応して設けられた水平選択線202、列選択のための水平走査回路203、水平選択線202に対応して設けられた水平選択スイッチ204、水平選択スイッチ204に共通に接続された出力信号線205、前記水平走査回路203に1対1に対応して設けられた水平記憶部206、行方向に配列された画素201に対応して設けられた垂直選択線207、行選択のための垂直走査回路208、垂直選択線207に対応して設けられた垂直レベルミックス回路210、前記垂直走査回路208に1:1に対応して設けられた垂直記憶部209とで構成されている。

【0031】CMD画素201は、光電変換が行われる一つの単位画素であり、本実施形態では、この画素201が水平、垂直共に前述の通り2000画素程度配列されている。

【0032】水平選択線202は、光電変換された信号を読み出す線であり、各画素201のソースに接続されている。各画素201のソースは、列毎に同じ水平選択

線202に接続されている。水平選択スイッチ204は、水平選択線202を選択するためのスイッチであり、すべての水平選択スイッチ204の他端は出力信号線205にそれぞれ接続されている。水平選択スイッチ204を選択制御する制御端子は、それぞれ独立に水平走査回路203に接続されている。

【0033】出力信号線205は、画素201からの光電変換された信号を時系列に読み出す信号線である。水平走査回路203は、水平選択スイッチ204を選択制御するための水平選択パルス(ΦHST)を順次転送するシフトレジスタで構成されており、外部からの制御パルス(ΦHCL)によりシフトレジスタ全段をクリアする機能を持っている。そして、この水平走査回路203は水平駆動パルス(ΦH1~ΦH3)で駆動され、各段の出力をそれぞれ独立に水平選択スイッチ204の制御端子に与えるものとなっている。水平記憶部206は、上記水平走査回路203を構成している。シフトレジスタの各段に1対1に対応して設けられ、外部からの制御パルスにより上記シフトレジスタの転送パルスの位置情報の保存、及び保存情報を上記シフトレジスタへロードする機能をもつ記憶部である。

【0034】垂直選択線207は、画素201を後述する所望の電位にするための選択線であり、各画素201のゲートは行毎に同一垂直選択線に接続されている。したがって、各画素201の電位は行毎に制御することができる構造になっている。これらの垂直選択線207は、それぞれ垂直レベルミックス回路210に接続されている。この垂直レベルミックス回路210は、接続された垂直選択線207の電位を所望のタイミングで切り換える回路である。切り換え制御される電位には、画素201に電荷を蓄積するための蓄積電位(VAC)、画素201の余剰電荷を排出するオーバーフロー電位(VOF)、画素201から信号を読み出すためのリード電位(VRD)、画素201の電荷を排出するリセット電位(VRS)の4種類がある。なお、垂直レベルミックス回路210において、ΦVAR、ΦVAA、ΦVAOは切り換え制御パルスであり、これらのパルスが印加されると、垂直走査回路の転送パルスの状態に拘わらず、全ての画素201に対し、リセット電位(VRS)、蓄積電位(VAC)、オーバーフロー電位(VOF)が印加される。

【0035】垂直走査回路208は、読み出しが行われる垂直選択線207を順次選択するための垂直選択パルス(ΦVST)を、順次転送するシフトレジスタで構成されている。この垂直走査回路208は外部からの制御パルス(ΦVCL)によりシフトレジスタ全段をクリアする機能を持っている。また垂直走査回路208は垂直パルス(ΦV1~ΦV3)で駆動され、各段の出力はそれぞれ独立に垂直レベルミックス回路210の制御端子に接続されている。

【0036】垂直記憶部209は、上記垂直走査回路208を構成している。シフトレジスタの各段に1対1に対応して設けられており、外部からの制御パルスによりシフトレジスタの転送パルスの位置情報の保存、及び保存情報をシフトレジスタへロードする機能をもつ記憶部である。なお、各CMD画素のドレインには、図示しないドレインバイアスが印加されるようになっている。

【0037】「全面素走査時の動作説明」上記のように構成されているCMD撮像素子14の全面素走査時の動作について説明する。CMD撮像素子14から映像信号を出力させる場合、CMD画素201の各行に印加する電位としては、前述した四つの電位を時系列に組み合わせたパルスが必要になる。読み出し選択行においては、映像信号の有効期間中には画素から信号を読み出すためのリード電位(VRD)、水平ブランキング期間中は電荷を排出するためのリセット電位(VRS)となり、非選択行においては、映像信号の有効期間中は電荷蓄積するための蓄積電位(VAC)、水平ブランキング期間中は余剰電荷を排出するためのオーバーフロー電位(VOF)となる必要があるとされている。

【0038】まず、垂直選択パルス(ΦVST)が垂直走査回路208を構成するシフトレジスタの一番下のレジスタに供給されると、垂直レベルミックス回路210により一番下の行の垂直選択線207がリード電位(VRD)にされる。これにより、垂直選択線207を介して行方向の全ての画素201のゲートがリード電位になり、読み出し準備が完了する。このとき選択されていない他の行の全ての画素201の各ゲート電位は、垂直レベルミックス回路210により蓄積電位(VAC)にされる。これにより、他の行の画素201の信号はカットオフされている。

【0039】次いで、水平選択パルス(ΦHST)が水平走査回路203を構成するシフトレジスタの一番左のレジスタに供給されると、このレジスタの出力端に接続された水平選択スイッチ204がアクティブになる。これにより、一番左の水平選択線202に接続された列の画素201の内、リード電位(VRD)になっている一番下の画素201の信号が、出力信号線205より読み出される。水平走査回路203は、水平駆動パルス($\Phi H1$ 及び $\Phi H2$)により水平選択パルス(ΦHST)を順次右方向に転送することによって、リード電位(VRD)になっている一番下の行の画素201の信号が、左より順番に読み出される。

【0040】選択行の全ての画素201の読み出しが完了した後の水平ブランキング期間において、垂直レベルミックス回路210により選択行の画素201のゲート電位がリセット電位にされると、その垂直選択線207に接続された行の全ての画素201の電荷が排出される。また、このタイミングにおいて垂直レベルミックス回路210により非選択行の画素201のゲートにオー

バーフロー電位が印加され、余剰電荷の排出が行われる。

【0041】選択行の読み出し、リセット動作が完了すると、垂直走査回路208に垂直駆動パルス($\Phi V1$ 及び $\Phi V2$)が与えられ、垂直選択パルス(ΦVST)が順次図2へ送られる。この送り動作に応じて前述した水平走査動作が繰り返し行なわれる。これにより、CMD撮像素子14は図2の左下の画素から右上の画素に至るまで、全ての画素201が順次読み出されることになる。

【0042】「ブロック走査時の動作説明」CMD撮像素子14のブロック走査時の動作について説明する。このブロック走査は、二つのモードにより実現される。一つは、ブロック読み出しの開始位置の指定モード、他の一つは読み出しモードである。

【0043】まず、ブロック読み出しの開始位置の指定モードについて説明する。水平走査回路203及び垂直走査回路208のそれぞれに、水平選択パルス(ΦHST)及び垂直選択パルス(ΦVST)が印加されると、これらの選択パルスがブロック読み出しを開始したい任意の位置まで転送される。ここで、水平走査開始位置記憶パルス(ΦHTB)により、水平走査回路203の転送パルス(水平選択パルス)の状態が、水平記憶部206に記憶される。また、垂直走査回路208においても同様に、垂直走査開始位置記憶パルス(ΦVTB)により、垂直走査回路208の転送パルス(垂直選択パルス)の状態が垂直記憶部209に記憶される。

【0044】次に、読み出しを行なうときは、前述した全面素走査時の水平選択パルス(ΦHST)の代わりに、水平走査開始位置ロードパルス(ΦHLD)が印加される。そうすると、水平記憶部206に記憶されている開始位置情報が水平走査回路203にロードされるため、その開始位置情報が示す開始位置から読み出しが行われる。そして、任意の位置で走査を終了する場合は、水平走査回路クリアパルス(ΦHCL)を印加する。そうすると、水平走査回路全段がクリアされるため、その位置で走査は終了することになる。また、垂直走査回路208についても、垂直走査開始位置ロードパルス(ΦVLD)と垂直走査回路クリアパルス(ΦVCL)を用いることにより、同様に走査することができる。これによりCMD撮像素子14の所要ブロックすなわち、その光電変換領域内における任意の画素位置から任意の画素位置までのブロックの読み出しが実現可能となる。

【0045】「スキップ走査時の動作説明」CMD撮像素子14のスキップ走査時の動作について説明する。図3は水平走査回路203及び垂直走査回路208のシフトレジスタの回路構成を示す図である。まず、全面素走査時には、図3において、 $\Phi 1$ 入力ラインに接続されるクロック型インバータ311、312、…と、 $\Phi 2$ 入力ラインに接続されるクロック型インバータ321、32

2, ...とが交互にアクティブにされる。こうすることにより、選択パルス ΦST は順次転送される。これにより、 ΦSRn , $\Phi SR(n+1)$, $\Phi SR(n+2)$, ...が順次出力される。

【0046】これに対し、スキップ走査時には、水平走査回路203、垂直走査回路208の各シフトレジスタが、駆動パルス $\Phi 1$, $\Phi 2$ ではなく駆動パルス $\Phi 1$, $\Phi 3$ で駆動される。 $\Phi 3$ が印加されるクロック型インバータ331, 332, ...は、それぞれクロック型インバータ311, 312, ...を通じて4段先のクロック型インバータに接続されているため、これにより、 ΦSRn , $\Phi SR(n+4)$, $\Phi SR(n+8)$, ...が順次出力される。

【0047】上記駆動方法を、水平走査回路203及び垂直走査回路208の各走査回路について行なうことによって、スキップ走査を実現できる。また、シフトレジスタに $\Phi 4$, $\Phi 5$ を追加して、8段先や16段先などに遷移するシフトレジスタも容易に実現できる。これにより、CMD撮像素子14について任意の画素数のスキップ駆動を実現することができる。つまり、画素間引き率が可変なスキップ走査を行える。

【0048】「駆動部の説明」図4は、図1における駆動部13の内部構成を詳細に示すブロック図である。前述したCMD撮像素子14の各読み出しを行なうため、駆動部13にはそれぞれに対応したブロック走査駆動信号発生部402、スキップ走査駆動信号発生部403、全画素走査駆動信号発生部404が設けられている。そして、それぞれの駆動信号発生部で、前述した水平及び垂直駆動パルス($\Phi H1 \sim \Phi H3$, $\Phi V1 \sim \Phi V3$)、水平及び垂直選択パルス(ΦHST , ΦVST)、水平及び垂直走査回路クリアパルス(ΦHCL , ΦVCL)、水平及び垂直走査開始位置記憶パルス(ΦHTB , ΦVTB)、水平及び垂直走査開始位置ロードパルス(ΦHLD , ΦVLD)が生成される。これらの駆動パルスは、コントローラ12からの駆動モード信号により駆動信号切換回路401で選択され、駆動モードに応じた駆動パルス信号が出力されるようになっている。

【0049】「撮像装置の動作説明」図6～図8を参照して、第1実施形態による撮像装置の動作を説明する。まず最初に、図6のフローチャートを参照して、撮影時の処理について説明する。操作者が入力装置11を通じて撮影を行なう旨の指示を送ると、コントローラ12はこの指示に応じ、CMD撮像素子14から全画素走査で画像データを送り出して1画面分の画像データをハードディスク22に保管させるための処理を開始する。

【0050】まず、コントローラ12は、CMD撮像素子14をスキップモードで駆動すべきことを示す駆動モード信号を駆動部13に送る。そうすると駆動部13は、コントローラ12から送られる駆動モード信号に応じ、その駆動モード信号に示される全画素モードに対応

したタイミングパルスを発生してCMD撮像素子14に送る。これにより、CMD撮像素子14は全画素モードで駆動されることになる(ステップA1)。

【0051】そして、駆動されたCMD撮像素子14からは、全画素についてのアナログ画像信号が読み出される(ステップA2)。アナログ画像信号は、A/D変換部15によりデジタル画像データに変換され、スイッチ16へ送られる。このとき、上記コントローラ12は、A/D変換部15から送られてくる画像データがバッファメモリ21に送られるようにスイッチ16を制御する。これにより、A/D変換部15から送られてくる画像データが順にバッファメモリ21に記憶される(ステップA3)。バッファメモリ21内に画像データが送られて1画面分が蓄積されると、その1画面分の画像データがハードディスクに保管される(ステップA4)。

【0052】次に、図7および図8のフローチャートを参照して、撮影前のモニタリングのための処理(画角合わせやピント合わせのための処理)について説明する。この撮影前のモニタリングのための処理においては、操作者が入力装置11を通じて撮影前のモニタリングを行なう旨の指示を送ると、コントローラ12はこの指示に応じ、CMD撮像素子14からスキップ走査による画像データおよびスキップ走査による画像データを交互に(例えば1画面ずつ交互に)送り出し、モニタ20上の画面20aおよび画面20bにそれぞれを表示させるための処理を開始する。以下、図7に示す画像データが各種の表示メモリに記憶されるまでの記憶処理と、図8に示す記憶処理の後に画像がモニタ上に表示されるまでの表示処理(図8)とに分けて説明する。

【0053】図7において、コントローラ12は、CMD撮像素子14をスキップモードで駆動すべきことを示す駆動モード信号を駆動部13に送る。そうすると駆動部13は、コントローラ12から送られる駆動モード信号に応じ、その駆動モード信号に示されるスキップモードに対応したタイミングパルスを発生させ、CMD撮像素子14に送る。これにより、CMD撮像素子14はスキップモードで駆動されることになる(ステップB1)。

【0054】そして、駆動されたCMD撮像素子14からは、所定の間引き率で画素が間引かれた1画面分のアナログ画像信号が読み出される(ステップB2)。例えば間引き率が縦横ともに1/4であれば、全画素数(2000画素×2000画素)のうち500画素×500画素分が間引かれて読み出される。アナログ画像信号は、A/D変換部15によりデジタル画像データに変換され、スイッチ16へ送られる。このとき、上記コントローラ12は、A/D変換部15から送られてくる画像データが全体表示メモリ17に送られるようにスイッチ16を制御する。これにより、A/D変換部15から送られてくる1画面分の画像データが全体表示メモリ1

7に記憶される(ステップB3)。

【0055】次に、コントローラ12は、CMD撮像素子14をブロックモードで駆動すべきことを示す駆動モード信号を駆動部13に送る。そうすると駆動部13は、コントローラ12から送られる駆動モード信号に応じ、その駆動モード信号に示されるブロックモードに対応したタイミングパルスが発生してCMD撮像素子14に送る。これにより、CMD撮像素子14はブロックモードで駆動されることになる(ステップB4)。

【0056】そして、駆動されたCMD撮像素子14からは、所定の大きさのブロック(画面全体の一部)からなる1画面分のアナログ画像信号が読み出される(ステップB5)。例えばブロックの大きさが画面全体の1/16であれば、全画素数(2000画素×2000画素)のうち500画素×500画素分が読み出される。アナログ画像信号は、A/D変換部15によりデジタル画像データに変換され、スイッチ16へ送られる。このとき上記コントローラ12は、A/D変換部15から送られてくる画像データが部分拡大表示メモリ18に送られるようにスイッチ16を制御する。これによりA/D変換部15から送られてくる1画面分の画像データが部分拡大表示メモリ18に記憶される(ステップB6)。ステップB6の処理が終わると、ステップB1に再び戻って上記一連の処理を繰り返す。次に、記憶処理の後に画像がモニタ上に表示されるまでの表示処理について説明する。

【0057】図8において、まず、全体表示メモリ17に記憶されている画像データ(間引きデータ)の水平1ライン分が表示出力部19に送られる。この水平1ライン分の画像データは、表示出力部19により標準テレビジョン信号に変換された後、モニタ20上の水平1ライン分の左半分(画面20a内)に画像として出力される(ステップC1)。次に、部分拡大表示メモリ18に記憶されている画像データ(ブロックデータ)の水平1ライン分が表示出力部19に送られる。この水平1ライン分の画像データは、表示出力部19により標準テレビジョン信号に変換された後、モニタ20上の水平1ライン分の右半分(画面20b内)に画像として出力される(ステップC2)。ステップC2の処理が終わると、ステップC1に再び戻って上記一連の処理を繰り返す。

【0058】これにより、CMD撮像素子14からスキップ走査による画像データおよびブロック走査による画像データが1画面ずつ交互に送り出され、モニタ20上の画面20aおよび画面20bにそれぞれが動画像として出力される。

【0059】上記第1実施形態によれば、スキップ走査およびブロック走査のために全画素の画像データを一時記憶する全画素メモリ706やそのメモリ読出部707が不要となる。また、全体表示の画面と部分拡大表示の画面を両方を同時に得るための全画素メモリ706、読

み出し回路708(又は709)、表示出力部711およびモニタ712を2台ずつ用意する必要もなくなる。代わりに、本実施形態では全画素メモリ706よりも記憶容量の小さい全体表示メモリ17と部分拡大表示メモリ18が採用される。このため、撮像装置全体の構成を簡潔にし、サイズを縮小し、製造コストを低減することが可能となる。

【0060】また、第1実施形態によれば、全画素メモリ706およびメモリ読出部707を使用していないため、CCD撮像素子703から全画素読み出して全画素メモリ706に記憶し、メモリ読出部707により全画素データを間引きデータやブロックデータに一旦変換するような処理は不要となる。従って、1画面分の間引きデータ(又は、ブロックデータ)を出力するのに要する時間(繰り返し周期)は0.025秒であり、間引きデータとブロックデータを1画面ずつ交互に出力する際に要する時間は0.05秒である。このため、繰り返し周期が短く(20画面/秒)、被写体をモニタリングするのに好適な動画像を得ることが可能となる。

【0061】また、第1実施形態によれば、一つのモニタ20上で繰り返し周期が短い全体表示の画面20aと部分拡大表示の画面20bの両方を同時に見ることができるので、撮影前の画角合わせやピント合わせをより容易に行なうことが可能となる。

【0062】上記実施形態では、スキップ走査とブロック走査をそれぞれ1画面単位で切り換える場合を説明したが、両者の走査時間の比率を変えることも可能である。この比率を変える指示は、入力装置11を通じて行われる。この場合の変形例(二つ)を以下に説明する。

【0063】(第1変形例)画角合わせのためにモニタ上の全体表示の画面に注目してモニタリングしたい場合には、スキップ走査時間の比率が大きくなるように、例えば9:1の画面数の比率でスキップ走査とブロック走査を切り換え制御する。すなわち、この場合のコントローラ12は、CMD撮像素子14をスキップモードで駆動すべきことを示す駆動モード信号およびブロックモードで駆動すべきことを示す駆動モード信号を9:1の比率で交互に駆動部13に送るとともに、A/D変換部15を介して送られてくる画像データが全体表示メモリ17および部分拡大表示メモリ18に9:1の比率で交互に送られるようにスイッチ16を制御する。

【0064】これにより、CMD撮像素子14からスキップ走査による画像データおよびブロック走査による画像データが9:1の比率で交互に送り出されて、それぞれが9:1の画面数の比率でモニタ20上の画面20aおよび画面20bに出力される。この場合、1画面分の間引きデータを出力するのに要する時間(繰り返し周期)は0.028秒となり、1画面分のブロックデータを出力するのに要する時間(繰り返し周期)は0.25秒となる。

【0065】上記第1変形例によれば、注目してモニタリングしたい方の画面20a又は20b上に、繰り返し周期の短い動画像を出力させることができる。また、注目する必要のない方の画面上にも動画像が出力されるため、何ら問題なく被写体を十分にモニタリングすることができる。したがって、被写体をモニタリングする際の使い勝手をより一層向上させることが可能となる。

【0066】(第2変形例)ピント合わせのためにモニタ上の部分拡大表示の画面に注目してモニタリングしたい場合には、スキップ走査を行わずにブロック走査だけを行なうように制御する。すなわち、この場合のコントローラ12は、CMD撮像素子14をブロックモードで駆動すべきことを示す駆動モード信号だけを駆動部13に送るとともに、A/D変換部15を介して送られてくる画像データが部分拡大表示メモリ18だけに繰り返し送られるようにスイッチ16を制御する。これにより、全体表示メモリ17からは、最後に記憶された画像データだけが送り出されて、静止画像としてモニタ20上の画面20aに出力される。一方、部分拡大メモリ18からは、繰り返し周期の短い画像データが送り出されて、動画像としてモニタ20上の画面20bに出力される。

【0067】上記第2変形例によれば、部分拡大表示の画面20b上に、繰り返し周期の短い動画像を出力させることができる。この場合、ブロック走査だけを行っているので、1画面分の間引きデータを出力するのに要する時間(繰り返し周期)は0.025秒となり、本装置で実現可能な繰り返し周期のうち最も繰り返し周期の短い動画像を出力させることができる。また、この部分拡大表示の画面20bからピント合わせの対象となる部分の詳細について十分に観察できるため、全体表示の画面20a上に出力される画像が静止画像であっても何ら問題は無い。したがって、ピント合わせを行なう際の使い勝手をより一層向上させることが可能となる。

【0068】(第2実施形態)図9は、本発明の第2実施形態に係る撮像装置の構成を示すブロック図である。なお、前述の第1実施形態と共通する構成要素については同一符号を付し、その説明を省略する。以下、第1実施形態と異なる点を中心に説明する。この第2実施形態が第1実施形態(図1)と異なる点は、部分拡大表示メモリ18と表示出力部19との間にスイッチ23が設けられた点である。このスイッチ23は、前述のコントローラ12によってその入/切が制御されるようになっている。なお、画角合わせを行なうときには「切」の状態にされ、それ以外のときには「入」の状態にされる。

【0069】コントローラ12は、第1実施形態において説明した機能に加えて次のような機能を有している。コントローラ12は、撮影前の画角合わせのための処理を行なうように入力装置から指示を受けた場合、ブロック走査を行わずにスキップ走査だけを行なうように制御

する。すなわち、コントローラ12は、CMD撮像素子14をブロックモードで駆動すべきことを示す駆動モード信号だけを駆動部13に送るとともに、A/D変換部15を介して送られてくる画像データが全体表示メモリ17だけに繰り返し送られるようにスイッチ16を制御する。さらに、コントローラ12は、スイッチ23を「切」の状態にする。

【0070】これにより、部分拡大表示メモリ18に記憶されていた画像データは、表示出力部19には送り出されないで、モニタ20上には画像が出力されない。一方、全体表示メモリ17からは、繰り返し周期の短い画像データが送り出されて、動画像としてモニタ20上に出力される。この場合、全体表示メモリ17から送り出された画像データは、モニタ20の画面全体に(画面20c内に)出力される。なお、第1実施形態のようにモニタ20の左側の画面20a上に出力するように構成してもよい。

【0071】第2実施形態によれば、画角合わせを行なう際には不要となる部分拡大表示の画面はモニタ上に現れず、必要となる全体表示の画面20cだけが現れるので、モニタリングがしやすくなる。さらに、部分拡大表示の画面20c上(モニタの画面全体に)に、繰り返し周期の短い動画像を出力させることができる。この場合、スキップ走査だけを行っているので、本装置で実現可能な繰り返し周期のうち最も繰り返し周期の短い動画像を出力させることができる。したがって、画角合わせを行なう際の使い勝手をより一層向上させることが可能となる。

【0072】(実施形態のまとめ)上述した実施形態に示された撮像装置の構成及び作用効果をまとめると次の通りである。

【0073】[1]実施形態に示された撮像装置は、光電変換面に形成された全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子14と、上記撮像素子14における全画素のうち、所定のブロック内の画素を走査するためのブロックモードと全画素について所定の間引き率で特定画素を間引いて走査するためのスキップモードとを切り換えて上記撮像素子14を駆動制御することが可能な駆動部13と、上記撮像素子14からスキップモードで読み出されたデータを記憶する全体表示メモリ17と、上記撮像素子14からブロックモードで読み出されたデータを記憶する部分拡大表示メモリ18と、上記第1および第2のメモリ17、18に記憶された各データを一つのモニタ上で別々の画像として表示可能な如くデータ変換して出力する表示出力部19と、を備えたものとなっている。

【0074】上記撮像装置においては、次のような利点がある。すなわち、スキップ走査およびブロック走査のために全画素の画像データを一時記憶する全画素メモリ706やそのメモリ読出部707が不要となる。また、

17

全体表示の画面と部分拡大表示の画面を両方を同時に得るための全画素メモリ 706、読み出し回路 708（又は 709）、表示出力部 711 およびモニタ 712 を 2 台ずつ用意する必要もなくなる。代わりに、本実施形態では全画素メモリ 706 よりも記憶容量の小さい全体表示メモリ 17 と部分拡大表示メモリ 18 が採用されるため、撮像装置全体の構成が簡潔になり、サイズが縮小され、製造コストが低減されることになる。

【0075】また、全画素メモリ 706 およびメモリ読出部 707 を使用していないため、メモリ読出部 707 により全画素データを間引きデータやブロックデータに一旦変換するような処理は不要となる。

【0076】さらに、全画素メモリ 706 やそのメモリ読出部 707 を採用せずに全体表示メモリ 17 と部分拡大表示メモリ 18 を採用した構成となっているため、繰り返し周期が短く、被写体をモニタリングするのに好適な動画像を得ることが可能となる。

【0077】また、一つのモニタ上で繰り返し周期が短い全体表示の画面と部分拡大表示の画面の両方を同時に見るので、撮影前の画角合わせやピント合わせをより容易に行なうことが可能となる。

【0078】〔2〕実施形態に示された撮像装置は、光電変換面に形成された全画素のうちの所定の画素のデータを読み出すことが可能な撮像素子 14 と、上記撮像素子 14 における全画素のうち、所定のブロック内の画素を走査するためのブロックモードと全画素について所定の間引き率で特定画素を間引いて走査するためのスキップモードとを切り換えて上記撮像素子 14 を駆動制御することが可能な駆動部 13 と、上記撮像素子 14 からスキップモードで読み出されたデータを記憶する全体表示メモリ 17 と、上記撮像素子 14 からブロックモードで読み出されたデータを記憶する部分拡大表示メモリ 18 と、上記第 1 および第 2 のメモリ 17、18 に記憶された各データを一つのモニタ上で別々の画像として表示可能な如くデータ変換して出力する表示出力部 19 と、上記表示出力部 19 から出力された各データを全体表示の画像および部分拡大表示の画像として表示することが可能なモニタ 20 とを備え、上記撮像素子 14 の駆動を所定の画面数ごとに切り換える制御を行ない、上記全体表示と部分拡大表示とを動画像表示するようになされたものとなっている。

【0079】上記撮像装置においては、上記〔1〕と同様の作用効果を奏する上、モニタ 20 を備えているため、被写体のモニタリングが一層容易なものとなる。

〔3〕実施形態に示された撮像装置は、上記〔1〕又は〔2〕に記載した撮像装置であって、かつ、上記二つの画像の各繰り返し周期が変化するように、上記撮像素子 14 の駆動を切り換える際の画面数の比率を変更する手段 12 を備えたものとなっている。

【0080】上記撮像装置においては、上記〔1〕又は

18

〔2〕と同様の作用効果を奏する上、次のような利点がある。すなわち、注目してモニタリングしたい方の画面 20a 又は 20b 上に、繰り返し周期の短い動画像を出力させることができる。また、注目する必要のない方の画面上にも動画像が出力されるため、何ら問題なく被写体を十分にモニタリングすることができる。したがって、被写体をモニタリングする際の使い勝手をより一層向上させることが可能となる。

【0081】〔4〕実施形態に示された撮像装置は、上記〔1〕又は〔2〕に記載した撮像装置であって、かつ、被写体のピント合わせを行なう際には上記駆動部 13 は上記撮像素子 14 をブロックモードで駆動し、上記全体表示メモリ 17 に記憶されたデータが動画像の代わりに静止画像として上記モニタ 20 上で部分拡大表示されるものとなっている。

【0082】上記撮像装置においては、上記〔1〕又は〔2〕と同様の作用効果を奏する上、次のような利点がある。すなわち、部分拡大表示の画面 20b 上に、繰り返し周期の短い動画像を出力させることができる。この場合、本装置で実現可能な繰り返し周期のうち最も繰り返し周期の短い動画像を出力させることができる。また、この部分拡大表示の画面 20b からピント合わせの対象となる部分の詳細について十分に観察できるため、全体表示の画面 20a 上に出力される画像が静止画であっても何ら問題は無い。したがって、ピント合わせを行なう際の使い勝手をより一層向上させることが可能となる。

【0083】〔5〕実施形態に示された撮像装置は、上記〔1〕又は〔2〕に記載した撮像装置であって、かつ、上記部分拡大表示メモリ 18 から上記表示出力部 19 へのデータの伝送を遮断することが可能なスイッチ 23 を備え、被写体の画角合わせを行なう際には上記データの伝送は遮断され、上記モニタ 20 の部分拡大表示が無表示になるものとなっている。

【0084】画角合わせを行なう際には不要となる部分拡大表示の画面 20b はモニタ 20 上に現れずに必要となる全体表示の画面 20a だけが現れるので、モニタリングがしやすくなる。さらに、部分拡大表示の画面 20b 上（モニタの画面全体に）に、繰り返し周期の短い動画像を出力させることができる。この場合、スキップ走査だけを行っているため、本装置で実現可能な繰り返し周期のうち最も繰り返し周期の短い動画像を出力させることができる。したがって、画角合わせを行なう際の使い勝手をより一層向上させることが可能となる。

【0085】

【発明の効果】本発明によれば、下記のような作用効果を奏する撮像装置を提供できる。

(a) 撮影前の画角合わせやピント合わせのための画像表示を迅速かつ的確に行なうことが可能な撮像装置。

(b) 一つのモニタ上において繰り返し周期の短い全体表

示の画像と部分拡大表示の画像とを同時に見ることが可能な撮像装置。

(c) 装置全体の構成が簡潔で製造コストが低い撮像装置。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る撮像装置の全体構成を示すブロック図。

【図 2】図 1 に示す CMD 撮像素子の構成例を示すブロック図。

【図 3】図 2 に示す CMD 撮像素子における水平走査回路及び垂直走査回路を構成するシフトレジスタの回路構成を示す図。

【図 4】図 1 に示す駆動部の内部構成を示すブロック図。

【図 5】上記第 1 実施形態において CMD 撮像素子から出力されるデータ列を示す模式図。

【図 6】上記第 1 実施形態における撮影時の処理を示すフローチャート。

【図 7】上記第 1 実施形態におけるモニタ時の記憶処理を示すフローチャート。

【図 8】上記第 1 実施形態におけるモニタ時の表示処理を示すフローチャート。

【図 9】本発明の第 2 実施形態に係る撮像装置の全体構成を示すブロック図。

【図 10】従来の撮像装置の第 1 の構成例を示すブロック図。

【図 11】従来の撮像装置の第 2 の構成例を示すブロック図。

【符号の説明】

11 入力装置

12, 701 コントローラ

13, 702 駆動部

* 14 CMD 撮像素子

15, 704 アナログ/デジタル (A/D) 変換部

16, 23, 705, 710 スイッチ

17 全体表示メモリ

18 部分拡大表示メモリ

19, 711 表示出力部

20, 712 モニタ

20a~20c, 712a~712c 画面

21, 713 バッファメモリ

22, 714 ハードディスク

201 画素

202 水平選択線

203 水平走査回路

204 水平選択スイッチ

205 出力信号線

206 水平記憶部

207 垂直選択線

208 垂直走査回路

209 垂直記憶部

20 210 垂直レベルミックス回路

311, 312, ... クロック型インバータ

321, 322, ... クロック型インバータ

331, 332, ... クロック型インバータ

401 駆動信号切換回路

402 ブロック走査駆動信号発生部

403 スキップ走査駆動信号発生部

404 全画素走査駆動信号発生部

703 CCD 撮像素子

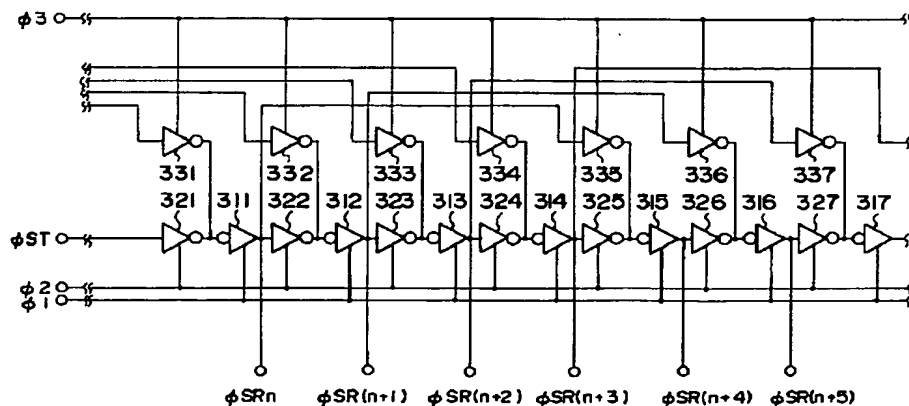
706 全画素メモリ

30 707 メモリ読出部

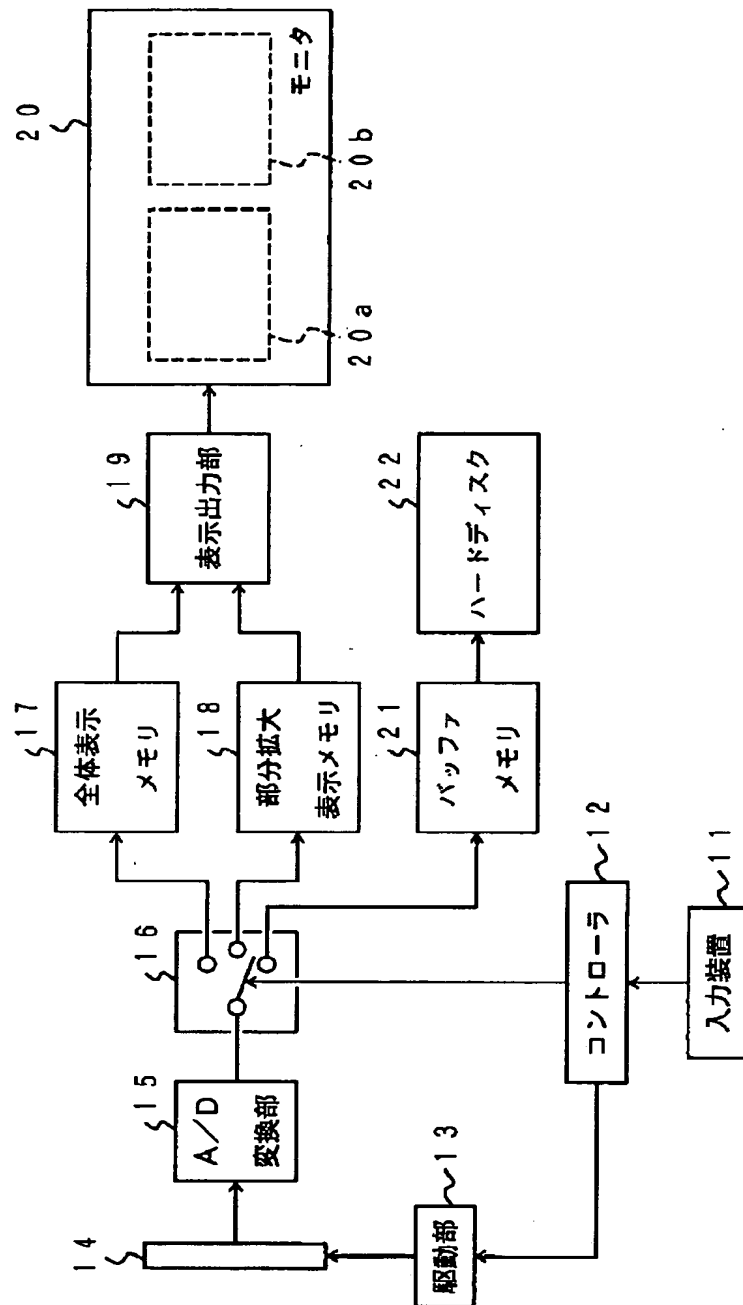
708 間引き読出回路

* 709 ブロック読出回路

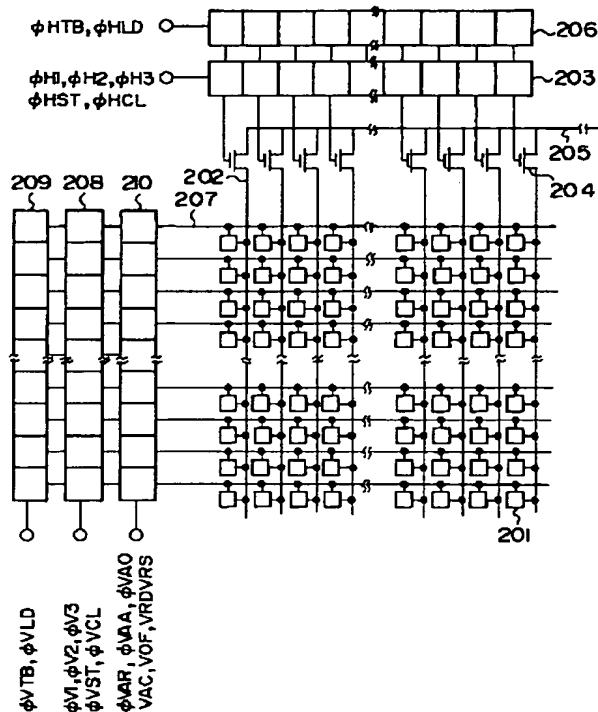
【図 3】



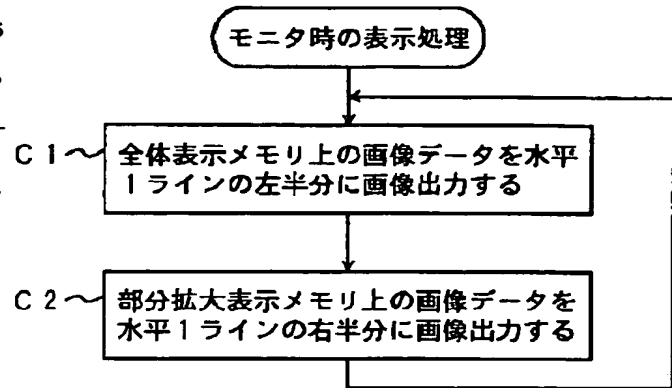
【図 1】



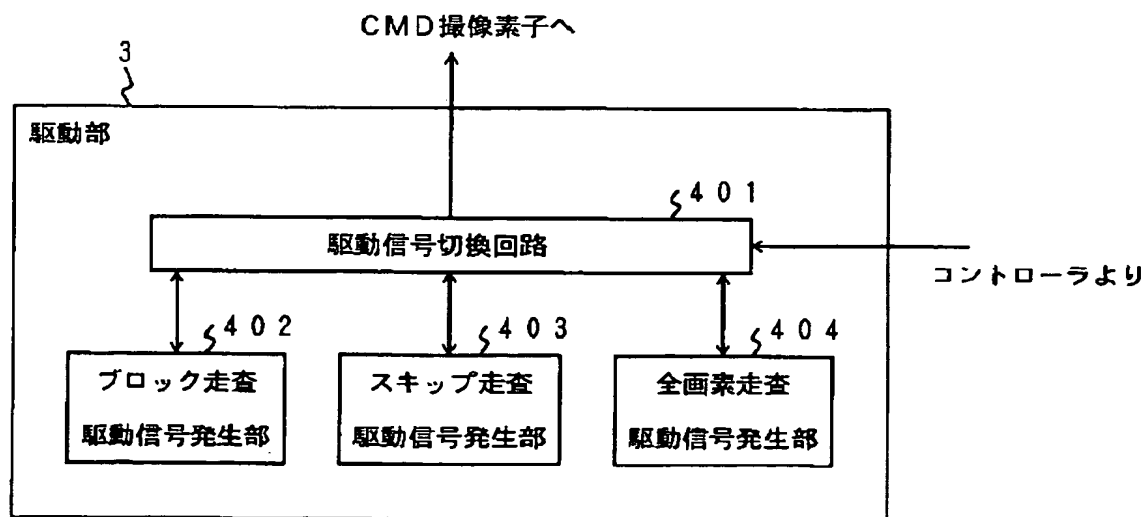
【図2】



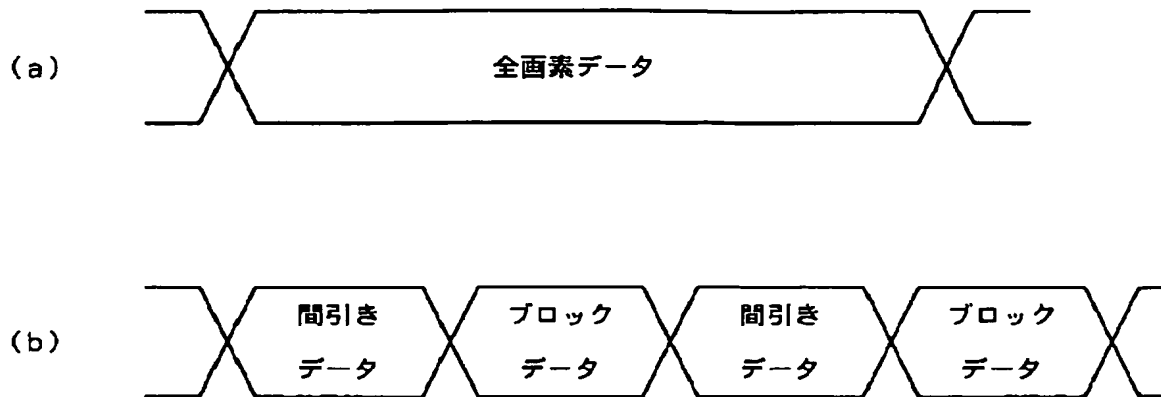
【図8】



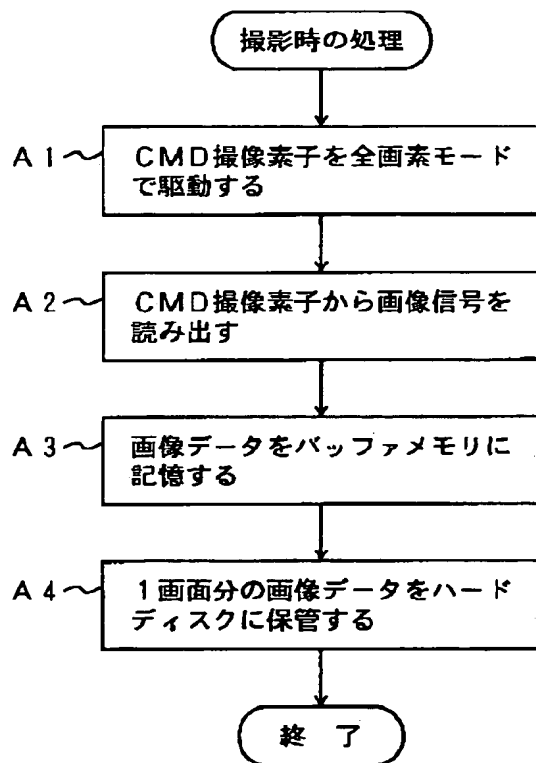
【図4】



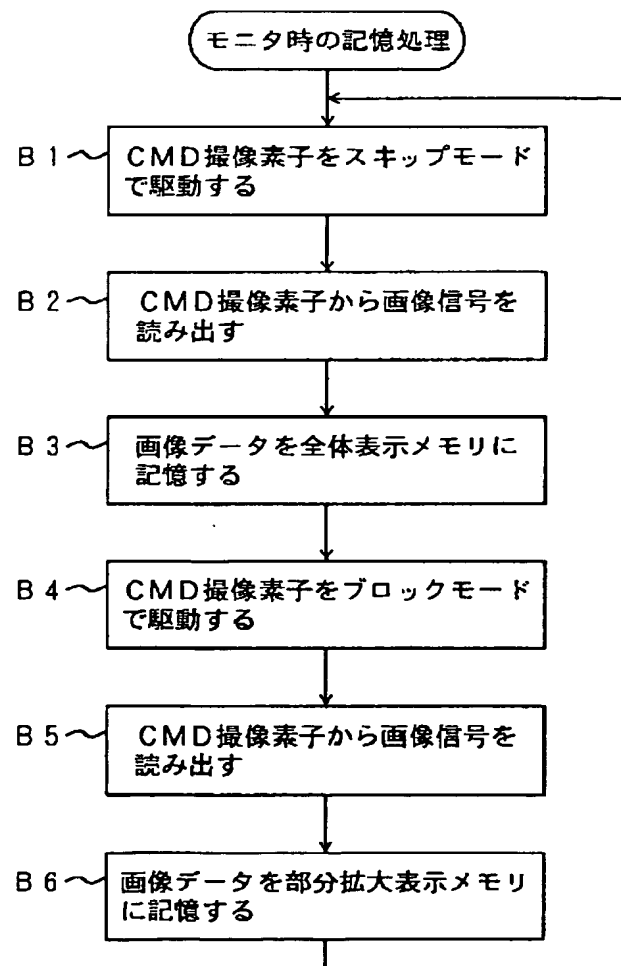
【図5】



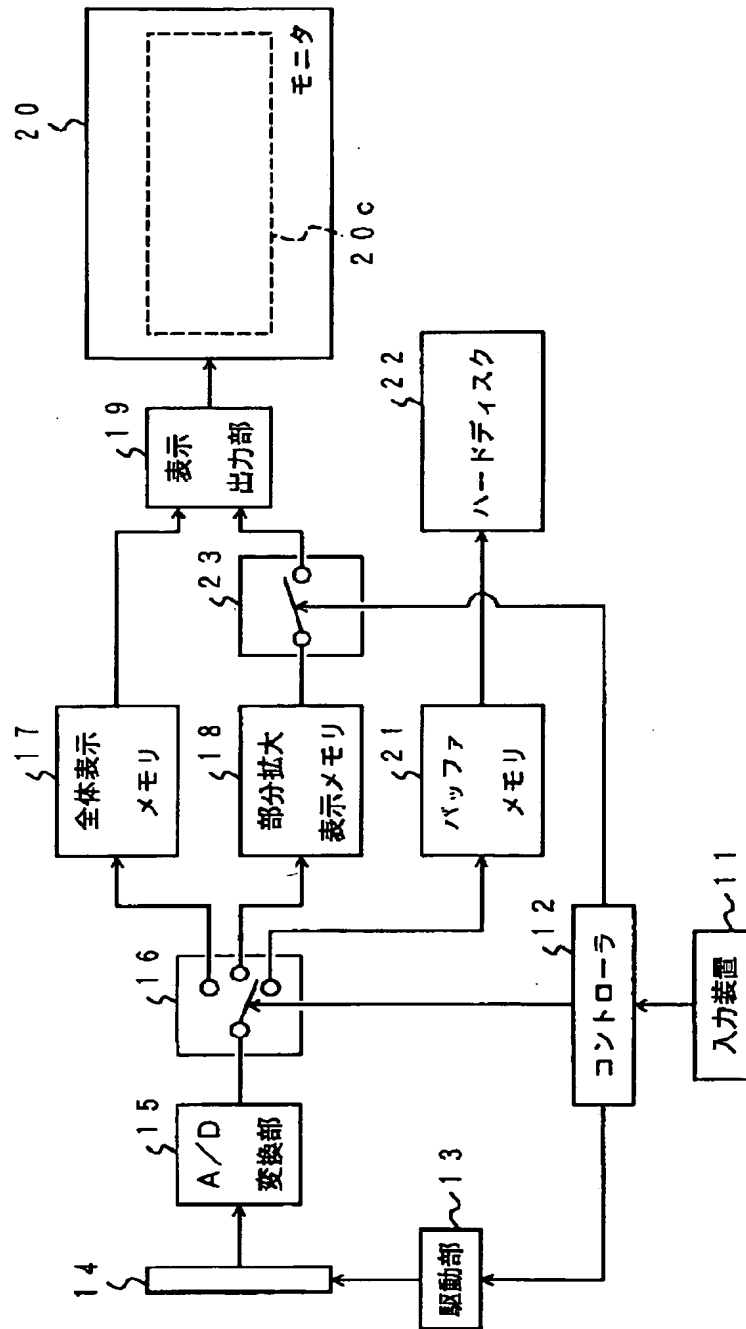
【図6】



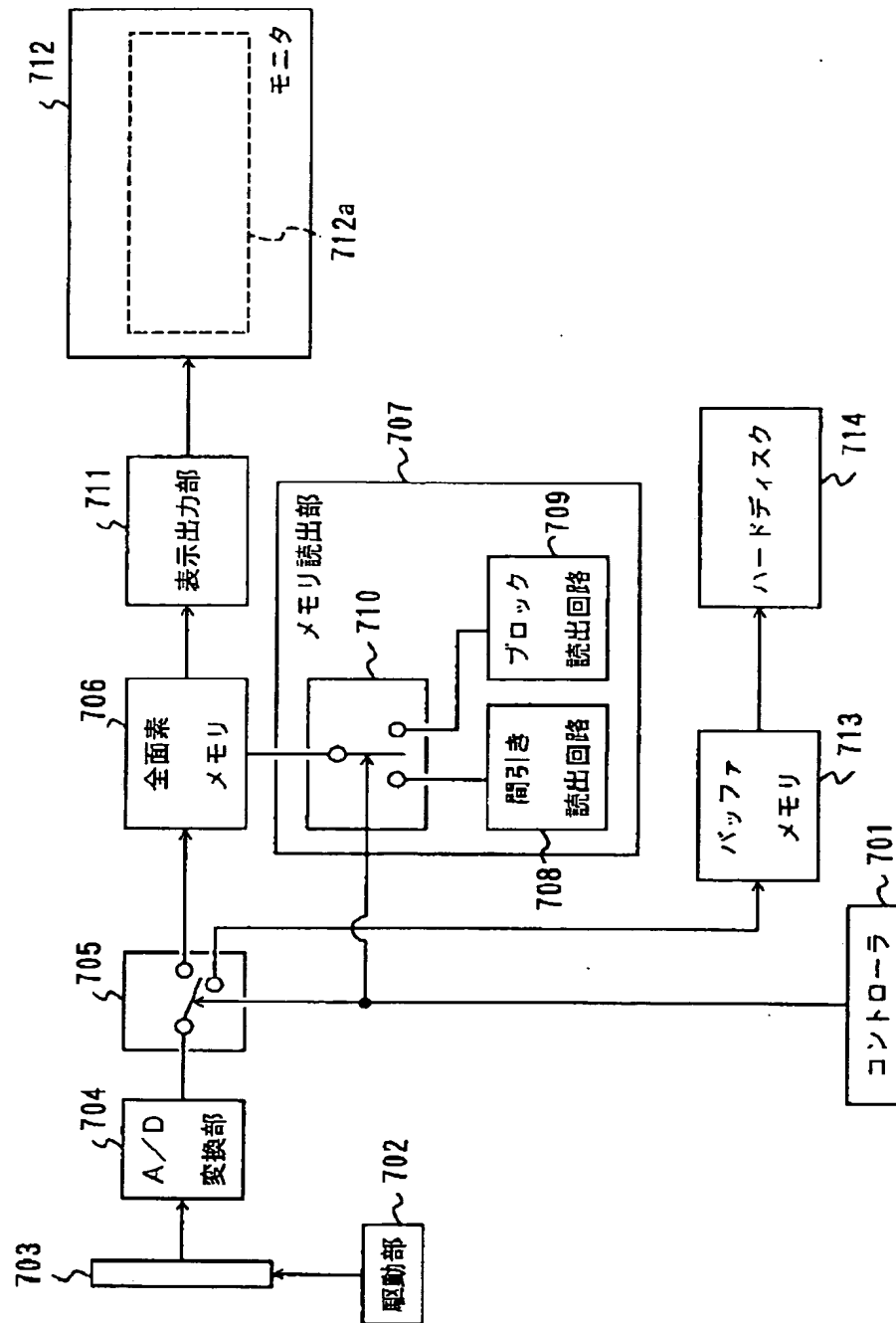
【図7】



【図 9】



【図10】



【図 11】

